

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

2

JC997 U.S. PTO
09/817312
03/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 7月11日

出願番号

Application Number:

特願2000-209145

出願人

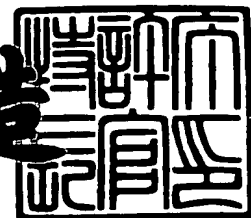
Applicant (s):

富士通株式会社

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3109031

【書類名】 特許願

【整理番号】 0000227

【提出日】 平成12年 7月11日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00

【発明の名称】 同期パターン位置検出回路

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都品川区大崎2丁目8番8号 富士通デバイス株式会社内

 【氏名】 元嶋 一男

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092174

 【弁理士】

 【氏名又は名称】 平戸 哲夫

 【電話番号】 03-3374-7129

【手数料の表示】

 【予納台帳番号】 030993

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705046

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期パターン位置検出回路

【特許請求の範囲】

【請求項 1】

複数の同期パターン検出信号と、各同期パターン検出信号の位置を示す複数の同期パターン位置信号とをパラレルに入力し、同期パターンのパラレルデータ上の位置を検出する同期パターン位置検出回路であって、

第 1、第 2 の同期パターン検出信号入力手段と、第 1、第 2 の同期パターン位置信号入力手段とを有し、前記第 1 の同期パターン検出信号入力手段に入力する同期パターン検出信号のみが同期パターン検出値を示している場合、及び、前記第 1、第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号が共に同期パターン検出値を示している場合には、前記第 1 の同期パターン位置信号入力手段に入力する同期パターン位置信号を選択して出力し、前記第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号のみが同期パターン検出値を示している場合には、前記第 2 の同期パターン位置信号入力手段に入力する同期パターン位置信号を選択して出力すると共に、前記第 1、第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号を OR 処理してなる同期パターン検出信号を出力する選択回路を前記複数の同期パターン検出信号及び前記複数の同期パターン位置信号に対応させて階層的に接続している部分を含んでいることを特徴とする同期パターン位置検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フレーム単位で伝送されてくるシリアルデータをパラレル化してなるパラレルデータ上における同期パターンの位置を検出する同期パターン位置検出回路に関する。

【0002】

フレーム単位で伝送されてくるシリアルデータを所定のビット幅にパラレル化して処理する場合、シリアルデータのパラレルデータへの変換がフレームの先頭

を基準に行われていない場合には、フレームの先頭ビットの平行データ上の位置を知るために、フレームの先頭に位置する同期パターンの平行データ上の位置を検出する必要がある。

【 0 0 0 3 】

【従来の技術】

従来、この種の同期パターン位置検出回路として、同期パターン検出値を示している同期パターン検出信号よりも優先順位の低い同期パターン検出信号をマスクする、いわゆるプライオリティ・エンコード回路を使用したものが知られている。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来の同期パターン位置検出回路においては、同期パターン検出値を示している同期パターン検出信号よりも優先順位の低い同期パターン検出信号をマスクするために必要なゲート回路の段数が平行データの幅部分のビット数と同じだけ必要となるため、遅延時間が増加し、同期パターンの平行データ上の位置の検出を高速に行うことができないという問題点があった。

【 0 0 0 5 】

本発明は、かかる点に鑑み、フレーム単位で伝送されてくるシリアルデータを平行化してなる平行データ上における同期パターンの位置検出を高速に行うことができるようにした同期パターン位置検出回路を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

本発明は、フレーム単位で伝送されてくるシリアルデータを平行化してなる平行データの幅部分の各ビットがフレームの先頭ビットであるか否かを検出してなる複数の同期パターン検出信号と、各同期パターン検出信号の位置を示す複数の同期パターン位置信号とを平行に入力し、同期パターンの平行データ上の位置を検出する同期パターン位置検出回路であって、第1、第2の同期パターン検出信号入力手段と、第1、第2の同期パターン位置信号入力手段と

を有し、第 1 の同期パターン検出信号入力手段に入力する同期パターン検出信号のみが同期パターン検出値を示している場合、及び、第 1、第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号が共に同期パターン検出値を示している場合には、第 1 の同期パターン位置信号入力手段に入力する同期パターン位置信号を選択して出力し、第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号のみが同期パターン検出値を示している場合には、第 2 の同期パターン位置信号入力手段に入力する同期パターン位置信号を選択して出力すると共に、第 1、第 2 の同期パターン検出信号入力手段に入力する同期パターン検出信号を OR 処理してなる同期パターン検出信号を出力する選択回路を、入力する複数の同期パターン検出信号及び同期パターン位置信号に対応させて階層的に接続している部分を含んでいるというものである。

【 0 0 0 7 】

本発明によれば、階層的に接続している選択回路によって、同期パターン検出値を示している同期パターン検出信号及びこれに対応する同期パターン位置信号の選択をトーナメント方式で行うことができる。

【 0 0 0 8 】

【発明の実施の形態】

以下、図 1 ～図 6 を参照して、本発明の第 1 実施形態及び第 2 実施形態について説明する。

【 0 0 0 9 】

第 1 実施形態・・・図 1 ～図 5

図 1 は本発明の第 1 実施形態の要部を示すブロック回路図であり、本発明の第 1 実施形態は、データ長を $8 \times n$ ビット（但し、 n は整数）とするフレーム単位で伝送されてくるシリアルデータを 8 ビット幅の平行データに変換して処理する場合に使用する同期パターン位置検出回路の例である。

【 0 0 1 0 】

図 1 中、DET 8 ～DET 1 はそれぞれ 1 ビットからなる同期パターン検出信号であり、同期パターン検出回路（図示せず）から出力されるものである。同期パターン検出信号 DET y は、8 ビット・平行データの 8 ビット幅部分の y

ビット目 (2^{y-1} の位のビット) がフレームの先頭に位置する同期パターンの先頭ビット (フレームの先頭ビット) となっているか否かを示すものである。

【0011】

但し、フレーム中のインフォメーション・ビットの部分は、任意のデータが配列されるので、インフォメーション・ビットの部分には、同期パターンと同一のパターンが存在する可能性がある。したがって、同期パターン検出信号 $DETy$ は、同期パターンのみならず、インフォメーション・ビット中の同期パターンと同一のパターンにも反応することになる。

【0012】

本発明の第1実施形態では、同期パターン検出信号 $DETy = "1"$ の場合には、8ビット・パラレルデータの8ビット幅部分の y ビット目が同期パターンの先頭ビット又は同期パターンと同一のパターンの先頭ビットとなっていることを示し、同期パターン検出信号 $DETy = "0"$ の場合には、8ビット・パラレルデータの8ビット幅部分の y ビット目が同期パターンの先頭ビット又は同期パターンと同一のパターンの先頭ビットとなっていないことを示していることを前提としている。

【0013】

また、 $SIT8 \sim SIT1$ はそれぞれ同期パターン検出信号 $DET8 \sim DET1$ の8ビット・パラレルデータの8ビット幅部分の位置を示す3ビットからなる同期パターン位置信号であり、 $SIT8 = 000$ 、 $SIT7 = 001$ 、 $SIT6 = 010$ 、 $SIT5 = 011$ 、 $SIT4 = 100$ 、 $SIT3 = 101$ 、 $SIT2 = 110$ 、 $SIT1 = 111$ である。

【0014】

また、1-1~1-4、2-1、2-2、3は階層的に接続された同一回路構成の選択回路であり、Aは第1の入力端子群、Bは第2の入力端子群、Xは出力端子群である。

【0015】

図2は選択回路1-1~1-4、2-1、2-2、3の構成を示すブロック回路図である。図2中、A1~A4は第1の入力端子群Aをなす入力端子であり、

A 1 は同期パターン検出信号用の入力端子、A 2 ～ A 4 は同期パターン位置信号用の入力端子である。また、B 1 ～ B 4 は第 2 の入力端子群 B をなす入力端子であり、B 1 は同期パターン検出信号用の入力端子、B 2 ～ B 4 は同期パターン位置信号用の入力端子である。また、X 1 ～ X 4 は出力端子群 X をなす出力端子であり、X 1 は同期パターン検出信号用の出力端子、X 2 ～ X 4 は同期パターン位置信号用の出力端子である。

【 0 0 1 6 】

また、4 は入力端子 A 1 に入力する同期パターン検出信号 D E T と入力端子 B 1 に入力する同期パターン検出信号 D E T とを O R 処理してなる同期パターン検出信号 D E T を出力する O R 回路である。

【 0 0 1 7 】

また、5 は入力端子 A 1 に入力する同期パターン検出信号 D E T と入力端子 B 1 に入力する同期パターン検出信号 D E T とを比較する比較回路であり、入力端子 A 1 に入力する同期パターン検出信号 D E T = “ 1 ”、入力端子 B 1 に入力する同期パターン検出信号 D E T = “ 0 ” の場合、入力端子 A 1 に入力する同期パターン検出信号 D E T = “ 1 ”、入力端子 B 1 に入力する同期パターン検出信号 D E T = “ 1 ” の場合、及び、入力端子 A 1 に入力する同期パターン検出信号 D E T = “ 0 ”、入力端子 B 1 に入力する同期パターン検出信号 D E T = “ 0 ” の場合には “ 0 ” を出力し、入力端子 A 1 に入力する同期パターン検出信号 D E T = “ 0 ”、入力端子 B 1 に入力する同期パターン検出信号 D E T = “ 1 ” の場合には “ 1 ” を出力するものである。

【 0 0 1 8 】

なお、比較回路 5 は、入力端子 A 1 に入力する同期パターン検出信号 D E T = “ 0 ”、入力端子 B 1 に入力する同期パターン検出信号 D E T = “ 0 ” の場合には “ 1 ” を出力するように構成しても何ら問題はない。

【 0 0 1 9 】

また、6 は比較回路 5 の出力に制御されて、入力端子 A 2 ～ A 4 に入力する同期パターン位置信号 S I T 又は入力端子 B 2 ～ B 4 に入力する同期パターン位置信号 S I T を選択する選択回路であり、比較回路 5 の出力 = “ 0 ” の場合には、

入力端子A 2～A 4に入力する同期パターン位置信号S I Tを選択して出力し、比較回路5の出力＝“1”の場合には、入力端子B 2～B 4に入力する同期パターン位置信号S I Tを選択して出力するように構成されたものである。

【0 0 2 0】

このように構成された選択回路1－1～1－4、2－1、2－2、3においては、入力端子A 1に入力する同期パターン検出信号D E T＝“1”、入力端子B 1に入力する同期パターン検出信号D E T＝“0”の場合、入力端子A 1に入力する同期パターン検出信号D E T＝“1”、入力端子B 1に入力する同期パターン検出信号D E T＝“1”の場合、及び、入力端子A 1に入力する同期パターン検出信号D E T＝“0”、入力端子B 1に入力する同期パターン検出信号D E T＝“0”の場合には、入力端子A 2～A 4に入力する同期パターン位置信号S I Tが選択され、入力端子A 1に入力する同期パターン検出信号D E T＝“0”、入力端子B 1に入力する同期パターン検出信号D E T＝“1”の場合には、入力端子B 2～B 4に入力する同期パターン位置信号S I Tが選択される。

【0 0 2 1】

したがって、たとえば、図3に示すように、同期パターン検出回路から出力する同期パターン検出信号D E T 8～D E T 1＝“0”の場合には、選択回路1－1から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 8、選択回路1－2から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 6、選択回路1－3から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 4、選択回路1－4から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 2となる。

【0 0 2 2】

したがって、また、選択回路2－1から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 8、選択回路2－2から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 4となり、選択回路3から出力する同期パターン検出信号D E T＝“0”、同期パターン位置信号S I T＝S I T 8となる。この場合には、選択回路3から出力

する同期パターン検出信号DET = “0”となるので、同期パターンは検出されなかったことになる。

【0023】

また、たとえば、図4に示すように、同期パターン検出回路から出力する同期パターン検出信号DET8、DET7 = “0”、DET6 = “1”、DET5～DET1 = “0”の場合には、選択回路1-1から出力する同期パターン検出信号DET = “0”、同期パターン位置信号SIT = SIT8、選択回路1-2から出力する同期パターン検出信号DET = “1”、同期パターン位置信号SIT = SIT6、選択回路1-3から出力する同期パターン検出信号DET = “0”、同期パターン位置信号SIT = SIT4、選択回路1-4から出力する同期パターン検出信号DET = “0”、同期パターン位置信号SIT = SIT2となる。

【0024】

したがって、また、選択回路2-1から出力する同期パターン検出信号DET = “1”、同期パターン位置信号SIT = SIT6、選択回路2-2から出力する同期パターン検出信号DET = “0”、同期パターン位置信号SIT = SIT4となり、選択回路3から出力する同期パターン検出信号DET = “1”、同期パターン位置信号SIT = SIT6となる。この場合には、8ビット・パラレルデータの8ビット幅部分の6ビット目に同期パターンの先頭ビット又は同期パターンと同一のパターンの先頭ビットがあることが分かる。

【0025】

そこで、選択回路3から出力する同期パターン検出信号DET = “1”、同期パターン位置信号SIT = SIT6という結果を一定の周期で連続して得ることができた場合には、8ビット・パラレルデータの8ビット幅部分の6ビット目に同期パターンの先頭ビットが存在すると判定することができる。

【0026】

これに対して、選択回路3から出力する同期パターン検出信号DET = “1”、同期パターン位置信号SIT = SIT6という結果を一定の周期で連続して得ることができない場合には、この結果は、インフォメーション・ビット中の同期

パターンと同一のパターンを検出したものと判定することができる。

【 0 0 2 7 】

また、たとえば、図 5 に示すように、同期パターン検出回路から出力する同期パターン検出信号 $DET8 = "1"$ 、 $DET7 \sim DET4 = "0"$ 、 $DET3 = "1"$ 、 $DET2$ 、 $DET1 = "0"$ の場合には、選択回路 1-1 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT8$ 、選択回路 1-2 から出力する同期パターン検出信号 $DET = "0"$ 、同期パターン位置信号 $SIT = SIT6$ 、選択回路 1-3 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT3$ 、選択回路 1-4 から出力する同期パターン検出信号 $DET = "0"$ 、同期パターン位置信号 $SIT = SIT2$ となる。

【 0 0 2 8 】

したがって、また、選択回路 2-1 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT8$ 、選択回路 2-2 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT3$ となり、選択回路 3 から出力する同期パターン検出信号 $= "1"$ 、同期パターン位置信号 $= SIT8$ となる。この場合、8 ビット・パラレルデータの 8 ビット幅部分の 8 ビット目に同期パターンの先頭ビット又は同期パターンと同一のパターンの先頭ビットがあることが分かる。

【 0 0 2 9 】

そこで、選択回路 3 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT8$ という結果を一定の周期で連続して得ることができた場合には、8 ビット・パラレルデータの 8 ビット幅部分の 8 ビット目に同期パターンの先頭ビットが存在すると判定することができる。

【 0 0 3 0 】

これに対して、選択回路 3 から出力する同期パターン検出信号 $DET = "1"$ 、同期パターン位置信号 $SIT = SIT8$ という結果を一定の周期で連続して得ることができない場合には、この結果は、インフォメーション・ビット中の同期パターンと同一のパターンを検出したものと判定することができる。

【 0 0 3 1 】

なお、本発明の第 1 実施形態においては、同期パターン検出信号の検出の優先順位は、選択回路 1-1~1-4、2-1、2-2、3 の特性上、 $DET 8 > DET 7 > \dots > DET 2 > DET 1$ となっているが、同期パターン検出信号に検出の優先順位を付けておかないと、同期パターン検出信号 $DET 8 \sim 1$ の中に “1”（同期パターン検出値）となるものが複数個ある場合、同期パターンの検出が不可能となるからである。

【 0 0 3 2 】

このように、本発明の第 1 実施形態によれば、データ長を $8 \times n$ ビットとするフレーム単位で伝送されてくるシリアルデータを 8 ビット幅の平行データに変換して処理する場合、選択回路 1-1~1-4、2-1、2-2、3 を 3 段に階層化して接続するだけで、同期パターン検出値（“1”）を示している同期パターン検出信号及びこれに対応する同期パターン位置信号をトーナメント方式によって選択することができるので、8 ビット・平行データ上における同期パターンの位置検出を高速に行うことができる。

【 0 0 3 3 】

第 2 実施形態 ・ ・ 図 6

図 6 は本発明の第 2 実施形態の要部を示すブロック回路図であり、本発明の第 2 実施形態は、データ長を $128 \times n$ ビットとするフレーム単位で伝送されてくるシリアルデータを 128 ビット幅の平行データに変換して処理する場合に使用する同期パターン位置検出回路の例である。

【 0 0 3 4 】

図 6 中、 $DET 128 \sim DET 1$ はそれぞれ 1 ビットからなる同期パターン検出信号、 $SIT 128 \sim SIT 1$ はそれぞれ同期パターン検出信号 $DET 128 \sim DET 1$ の 128 ビット・平行データの 128 ビット幅部分の位置を示す 7 ビットからなる同期パターン位置信号であり、この例の場合も、同期パターン検出信号 $DET z$ の同期パターン検出値は “1” である。

【 0 0 3 5 】

また、7-1、7-2、7-63、7-64、8-1、8-2、8-32、9

-1、9-2、9-16、10-1、10-2、10-8、11-1、11-4、12-1、12-2、13は同一回路構成の選択回路であり、図2に示すように構成されるものである。なお、選択回路7-2、7-63間に配置される選択回路7-3～7-62と、選択回路8-2、8-32間に配置される選択回路8-3～8-31と、選択回路9-2、9-16間に配置される選択回路9-3～9-15と、選択回路10-2、10-8間に配置される選択回路10-3～10-7と、選択回路11-1、11-4間に配置される選択回路11-2、11-3は、図示を省略してる。

【0036】

本発明の第2実施形態によれば、データ長を $128 \times n$ ビットとするフレーム単位で伝送されてくるシリアルデータを128ビット幅の平行データに変換して処理する場合、選択回路7-1～7-64、8-1～8-32、9-1～9-16、10-1～10-8、11-1～11-4、12-1、12-2、13を7段に階層化して接続するだけで、同期パターン検出値（“1”）を示している同期パターン検出信号及びこれに対応する同期パターン位置信号をトーナメント方式によって選択することができるので、128ビット・平行データ上における同期パターンの位置検出を高速に行うことができる。

【0037】

なお、本発明によれば、データ長を $2^m \times n$ ビットとするフレーム単位で伝送されてくるシリアルデータを 2^m ビット幅（但し、 m は2以上の整数）に平行化して処理する場合には、 $[2^{m-1} + 2^{m-2} + \dots + 1]$ 個の図2に示す選択回路を m 段に階層化して接続すれば足りる。

【0038】

【発明の効果】

以上のように、本発明によれば、階層的に接続している選択回路によって、同期パターン検出値を示している同期パターン検出信号及びこれに対応する同期パターン位置信号の選択をトーナメント方式によって行うことができるので、平行データ上における同期パターンの位置検出を高速に行うことができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態の要部を示すブロック回路図である。

【図 2】

本発明の第 1 実施形態が備える選択回路の構成を示すブロック回路図である。

【図 3】

本発明の第 1 実施形態の動作を説明するためのブロック回路図である。

【図 4】

本発明の第 1 実施形態の動作を説明するためのブロック回路図である。

【図 5】

本発明の第 1 実施形態の動作を説明するためのブロック回路図である。

【図 6】

本発明の第 2 実施形態の要部を示すブロック回路図である。

【符号の説明】

DET 同期パターン検出信号

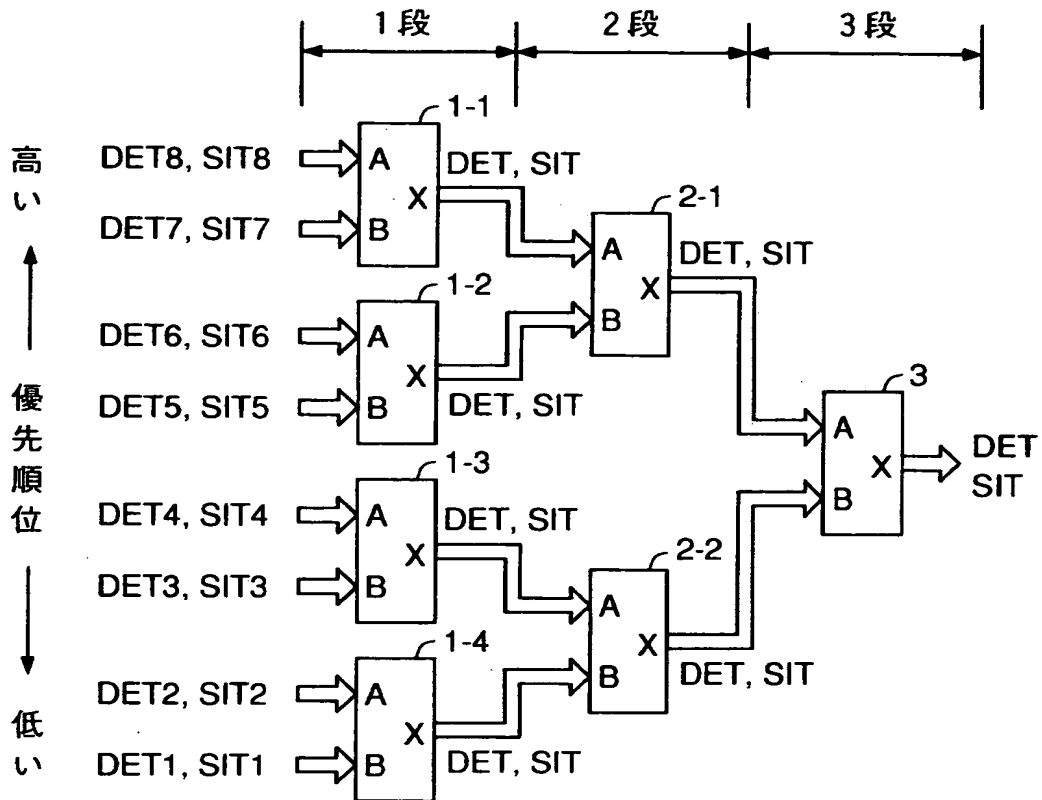
SIT 同期パターン位置信号

1-1～1-4、2-1、2-2、3 選択回路

【書類名】 図面

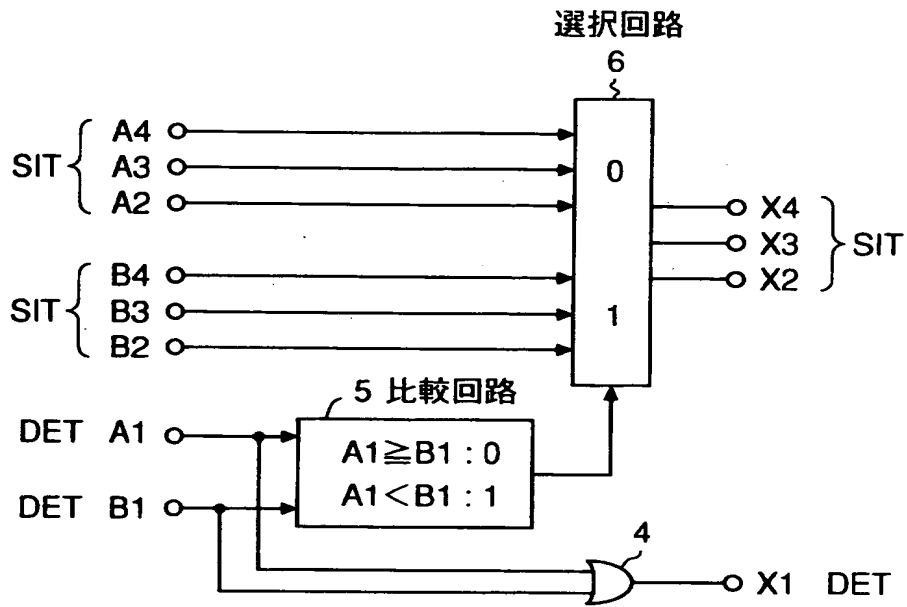
【図 1】

本発明の第 1 実施形態の要部を示すブロック回路図



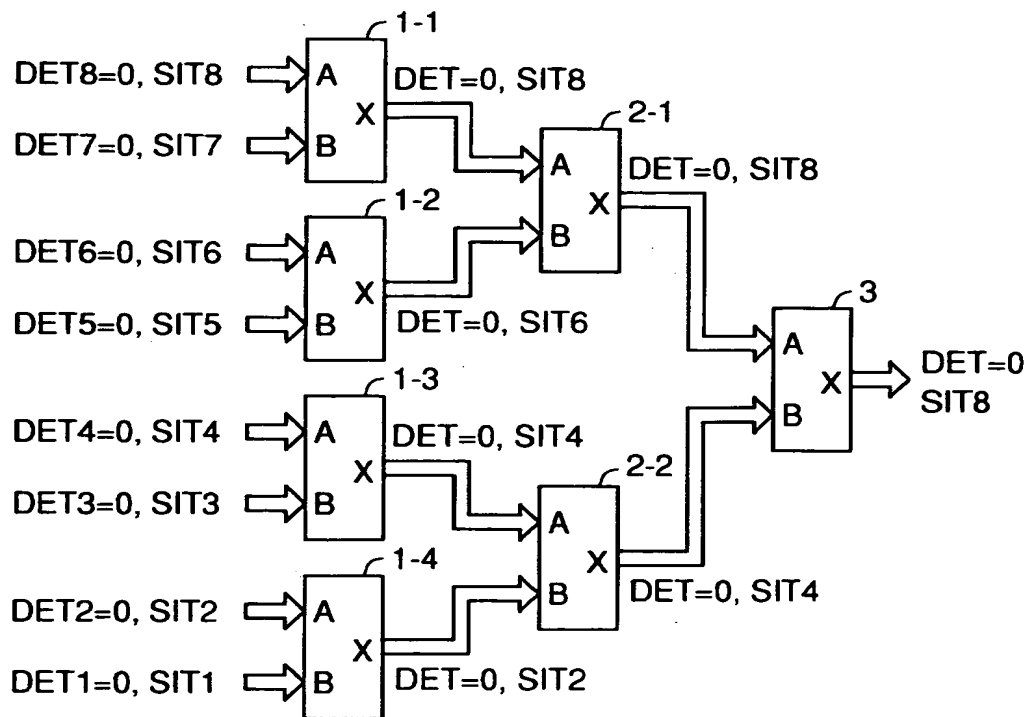
【図 2】

選択回路1-1～1-4, 2-1, 2-2, 3の構成を示すブロック回路図



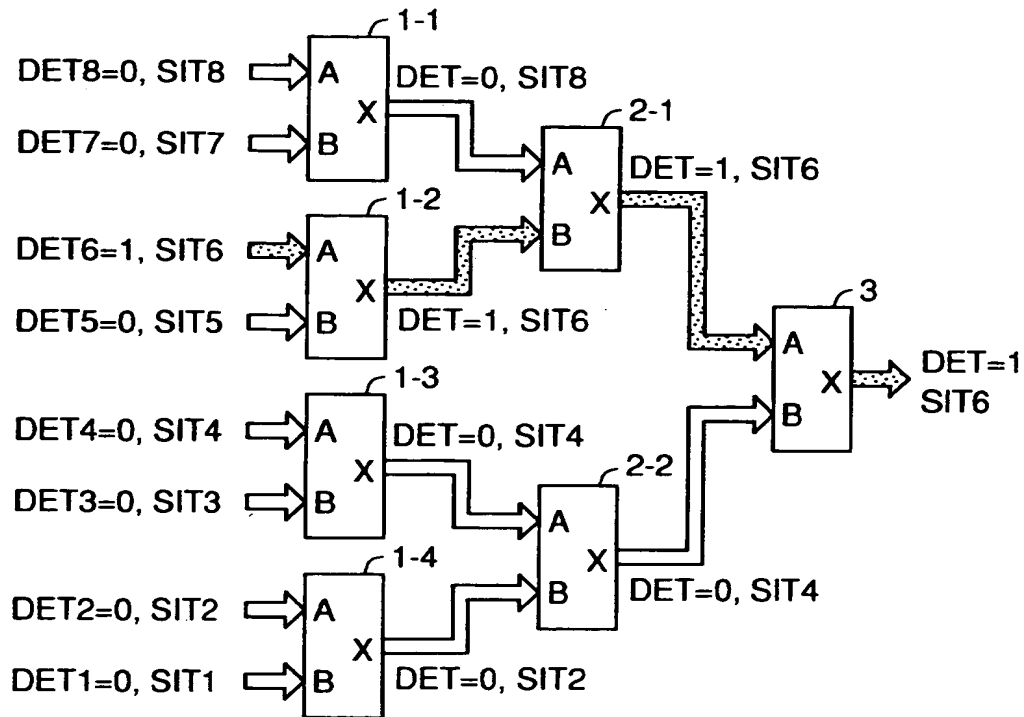
【図 3】

本発明の第 1 実施形態の動作を説明するためのブロック回路図



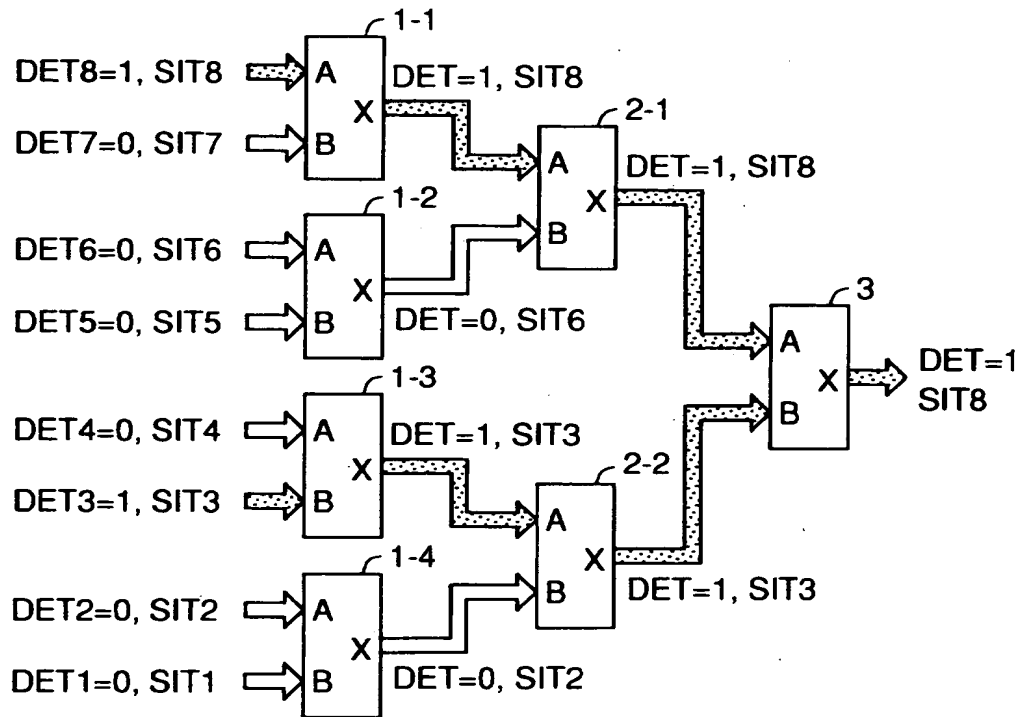
【図 4】

本発明の第 1 実施形態の動作を説明するためのブロック回路図



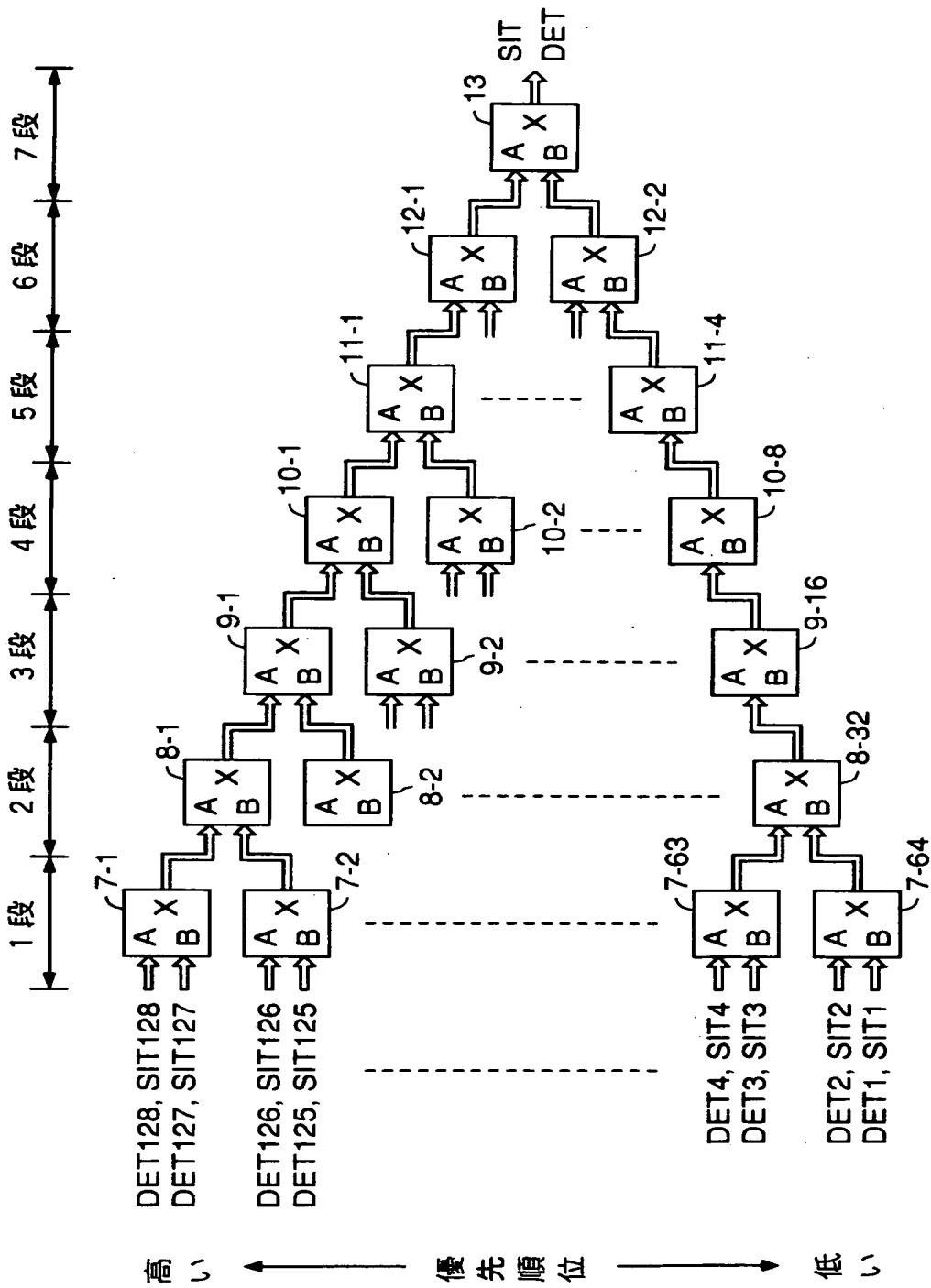
【図 5】

本発明の第 1 実施形態の動作を説明するためのブロック回路図



【図6】

本発明の第2実施形態の要部を示すブロック回路図



【書類名】 要約書

【要約】

【課題】 フレーム単位で伝送されてくるシリアルデータをパラレル化してなるパラレルデータ上における同期パターンの位置を検出する同期パターン位置検出回路に関し、同期パターンの位置検出を高速に行う。

【解決手段】 入力端子群Aに入力するDET（同期パターン検出信号）のみが“1”（同期パターン検出値）を示している場合、及び、入力端子群A、Bに入力するDETが共に“1”を示している場合には、入力端子群Aに入力するSIT（同期パターン位置信号）を選択して出力し、入力端子群Bに入力するDETのみが“1”を示している場合には、入力端子群Bに入力するSITを選択して出力すると共に、入力端子群A、Bに入力するDETをOR処理してなるDETを出力する選択回路1-1～1-4、2-1、2-2、3を階層的に接続する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社